

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-005847
(43)Date of publication of application : 09.01.1992

(51)Int.CI. H01L 21/82
H01L 27/10

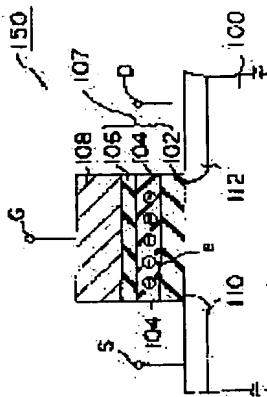
(21)Application number : 02-107153 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 23.04.1990 (72)Inventor : MORI SEIICHI

(54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To recover an improper memory cell even after it is sealed in a package, to reduce in an area and to enhance reliability by composing a program element of a MIS type transistor, and forming its gate insulating film of an oxide film and other insulating film.

CONSTITUTION: An Si oxide film 102 is formed on a p-type Si substrate 100, a silicon nitride film 104 is formed thereon, and a second silicon oxide film 106 is formed thereon. A gate 108 is formed thereon, and an n-type source region 110 and an n-type drain region 112 are formed in the substrate 100 corresponding to both sides. Thus, a program element 150 has a 3-layer structure of the film 102, the film 104 and the film 106 in a gate insulating film 107, and is formed of an MIS Tr. Redundancy information is written, for example, by implanting electrons (e) in the film 106 existing at the intermediate of the film 107 of the 3-layer structure, particularly collecting to a trap near a boundary to the film 102, shifting a threshold value to a positive direction, and nonconducting it.



⑫ 公開特許公報 (A) 平4-5847

⑬ Int. Cl. 5

H 01 L 21/82
27/10

識別記号

4 9 1

庁内整理番号

8624-4M
8225-4M

⑭ 公開 平成4年(1992)1月9日

審査請求 未請求 請求項の数 7 (全10頁)

R

⑮ 発明の名称 半導体記憶装置およびその製造方法

⑯ 特 願 平2-107153

⑰ 出 願 平2(1990)4月23日

⑱ 発明者 森 誠一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) 半導体記憶装置のリダンダンシ回路に少なくとも組み込まれるリダンダンシ情報を記憶するプログラム素子において、

前記プログラム素子がMIS型トランジスタで構成され、

前記MIS型トランジスタのゲート絶縁膜が酸化膜と他の絶縁膜とから構成されていることを特徴とする半導体記憶装置。

(2) 前記MIS型トランジスタのゲート絶縁膜が酸化膜と窒化膜とから構成されていることを特徴とする請求項(1)記載の半導体記憶装置。

(3) 前記ゲート絶縁膜が前記基板上に第1の酸化膜、窒化膜、第2の酸化膜の順に形成された3層構造膜であることを特徴とする請求項(1)記載の半導体記憶装置。

(4) 前記第1の酸化膜の膜厚が50Å以上であることを特徴とする請求項(3)記載の半導体記憶装置。

(5) 前記第2の酸化膜の膜厚が25Å以上であることを特徴とする請求項(3)記載の半導体記憶装置。

(6) 前記半導体記憶装置が不揮発性であり、メモリセル部における半導体基板上には、順に第1ゲート絶縁膜、浮遊ゲート、第2ゲート絶縁膜、制御ゲートと積層されたゲート部を持つトランジスタが形成されており、

前記第2ゲート絶縁膜が、前記MIS型トランジスタのゲート絶縁膜と同一構造を持つことを特徴とする請求項(1)乃至(5)いずれかに記載の半導体記憶装置。

(7) 半導体基板上に素子分離膜を形成し、前記基板上にメモリセル部およびプログラム素子部を少なくとも得る工程と、

全面に第1の絶縁膜を形成する工程と、

全面に第1の導電膜を形成する工程と、

前記プログラム素子部の第1の導電膜および第1の絶縁膜を除去する工程と、

全面に酸化膜と他の絶縁膜とからなる第2の絶縁膜を形成する工程と、

全面に第2の導電膜を形成する工程と、

前記第2の導電膜、第2の絶縁膜、第1の導電膜および第1の絶縁膜を選択的に除去し、メモリセル部およびプログラム素子部にトランジスタのゲート部を形成する工程と、

を具備することを特徴とする請求項(1)記載の半導体記憶装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明は半導体記憶装置およびその製造方法に係わり、特にリダンダンシ回路(欠陥救済回路)を内蔵した半導体記憶装置およびその製造方法に関する。

(従来の技術)

現在、半導体記憶装置の大規模容量化に伴い、

- 3 -

った問題もある。例えばプログラム素子上をアルミニウムで覆っていても、様々な箇所から反射して来る紫外線によって捕獲された電子が徐々に逸出し、記憶情報が失なわれていくという問題がある。又、プログラム素子のデータ保持特性は、通常のEPROMセルと全く同じであり、例えばEPROMセルの電荷保持特性を調べるための加速テスト(装置を高温中に長時間放置するテスト)を行なっていると、プログラム素子に捕獲されていた電子が逸出してしまい、誤動作する問題もある。

(発明が解決しようとする課題)

以上のように、従来のプログラム素子では、パッケージ封入後の不良になったメモリ・セルを救済できない。あるいはチップ面積中かなり巨大な面積を占有し、しかも情報記憶に関する信頼性に乏しいといった問題があった。

この発明は上述のような点に鑑み為されものであり、その目的は、パッケージ封入後でも不良メモリ・セルの救済ができ、しかも小面積、か

不良メモリ・セルの救済を行なうリダンダンシ技術は必須のものとなっている。

半導体記憶装置に内蔵されるリダンダンシ回路では、不良なメモリ・セルを予備のメモリ・セルに置き換えるためのリダンダンシ情報を記憶するプログラム素子が必要になる。通常使用されるのがポリシリコンのフューズで、これをレーザで溶断することにより情報を記憶する。

又、半導体記憶装置のうち、不揮発性であるEPROMでは、プログラム素子にEPROMセルを用い、これの上方をアルミニウム膜で覆い、紫外線消去時に記憶情報が変化しないようにしたものを使用する場合もある。

しかしながら、前者の場合、パッケージ封入前にしかフューズを溶断できないため、封入後、不良になったメモリ・セルは救済できない。

又、後者の場合、プログラム素子を形成する領域をアルミニウムで広く覆わなければならないため、チップ面積中かなり巨大な面積を占有する。その上、情報記憶の面で信頼性が充分でないとい

- 4 -

つ情報記憶に関する信頼性が高いプログラム素子を具備する半導体記憶装置を提供することにある。

【発明の構成】

(課題を解決するための手段)

この発明の半導体記憶装置は、

(イ) 半導体記憶装置のリダンダンシ回路に少なくとも組み込まれるリダンダンシ情報を記憶するプログラム素子において、

前記プログラム素子がMIS型トランジスタで構成され、

前記MIS型トランジスタのゲート絶縁膜が酸化膜と他の絶縁膜とで構成されていることを特徴とする。

前記(イ)項記載の半導体記憶装置において、

(ロ) 前記MIS型トランジスタのゲート絶縁膜が酸化膜と窒化膜とから構成されていることを特徴とする。

前記(イ)項記載の半導体記憶装置において、

(ハ) 前記ゲート絶縁膜が前記基板上に第1の酸化膜、窒化膜、第2の酸化膜の順に形成され

- 6 -

た3層構造膜であることを特徴とする。

前記(ハ)項記載の半導体記憶装置において、

(ニ) 前記第1の酸化膜の膜厚が50Å以上であることを特徴とする。

前記(ハ)項記載の半導体記憶装置において、

(ホ) 前記第2の酸化膜の膜厚が25Å以上であることを特徴とする。

前記(イ)乃至(ホ)項記載の半導体記憶装置において、

(ヘ) 前記半導体記憶装置が不揮発性であり、

メモリセル部における半導体基板上には、順に第1ゲート絶縁膜、浮遊ゲート、第2ゲート絶縁膜、制御ゲートと積層されたゲート部を持つトランジスタが形成されており、

前記第2ゲート絶縁膜が、前記MIS型トランジスタのゲート絶縁膜と同一構造を持つことを特徴とする。

又、その製造方法にあっては、

半導体基板上に素子分離膜を形成し、前記基板上にメモリセル部およびプログラム素子部を少

- 7 -

捕獲し、前記MIS型トランジスタのしきい値を変化させられる。このしきい値の変化により、前記MIS型トランジスタの“導通”および“非導通”的状態を変更でき、この状態によって情報を記憶できる。さらに、トランジットを利用してキャリアが捕獲されるために該キャリアの逸出が少なく、記憶保持特性が良い。しかも、情報は電気的に書き込むことができ、パッケージ封入後でも不良なメモリセルを救済可能である。

又、ゲート絶縁膜が酸化膜と窒化膜とで構成すれば、記憶保持特性に優れ、かつ捕獲キャリアの引き抜きも行えるので、書き込み／消去が自在なプログラム素子になる。

又、ゲート絶縁膜が前記基板上に第1の酸化膜、窒化膜、第2の酸化膜の順に形成された3層構造膜で構成すれば窒化膜の表面が酸化膜により覆われるので、基板に対する捕獲キャリアのトンネリングによる消失および捕獲キャリアの反対導電型キャリア注入による再結合消失が防止される。

又、前記第1の酸化膜の膜厚を50Å以上に

なくとも得る工程と、

全面に第1の絶縁膜を形成する工程と、

全面に第1の導電膜を形成する工程と、

前記プログラム素子部の第1の導電膜および第1の絶縁膜を除去する工程と、

全面に酸化膜と他の絶縁膜とからなる第2の絶縁膜を形成する工程と、

全面に第2の導電膜を形成する工程と、

前記第2の導電膜、第2の絶縁膜、第1の導電膜および第1の絶縁膜を選択的に除去し、メモリセル部およびプログラム素子部にトランジスタのゲート部を形成する工程と、

を具備することを特徴とする。

(作用)

上記のような半導体記憶装置にあっては、

前記プログラム素子がMIS型トランジスタで構成されており、このMIS型トランジスタのゲート絶縁膜が酸化膜と他の絶縁膜とで構成されている。これにより、前記酸化膜と前記他の絶縁膜との間にできるトランジットを利用してキャリアを

- 8 -

すれば、上述の捕獲キャリアのトンネリングの防止がより高まる。

又、前記第2の酸化膜の膜厚を25Å以上にすれば、ゲート電極側からの上述の捕獲キャリアと反対導電型キャリアの注入が防止されることにより記憶特性がより高まる。

又、前記半導体記憶装置が不揮発性であり、

メモリセル部における半導体基板上には、順に第1ゲート絶縁膜、浮遊ゲート、第2ゲート絶縁膜、制御ゲートと積層されたゲート部を持つトランジスタが形成されており、

前記第2ゲート絶縁膜が、前記MIS型トランジスタのゲート絶縁膜と同一構造を持つことにより、浮遊ゲート～制御ゲート間の容量が大きいメモリセルを得ることができる。又、紫外線照射により情報を書き替える型の不揮発性半導体記憶装置であっても、プログラム素子の情報の消失がなく、しかもプログラム素子上方をアルミニウム膜で覆う必要ないのでチップ面積の縮小化、ひいては大規模容量化に貢献できる。

- 10 -

(実施例)

以下、図面を参照してこの発明を一実施例により説明する。

第1図この発明の実施例に係わる半導体記憶装置が具備するプログラム素子の断面図である。

同図に示すように、例えばp型シリコン基板100上には第1のシリコン酸化膜102が形成されており、このシリコン酸化膜102上にはシリコン空化膜104が形成されている。シリコン空化膜104上には第2のシリコン酸化膜106が形成されており、第2のシリコン酸化膜106上にはポリシリコンからなるゲート108が形成されている。ゲート108の両側面に対応した基板100内にはn型ソース領域110およびn型ドレイン領域が形成されている。

このようにプログラム素子150は、シリコン酸化膜102/シリコン空化膜104/シリコン酸化膜106の3層構造膜をゲート絶縁膜107に持つ、所謂MIS型トランジスタで構成される。

- 11 -

される。

又、ゲート絶縁膜107から電子eの引き抜き、及びゲート絶縁膜107への電子eの注入の双方ともが行なえるので、リダンダンシ情報消去することも可能である。

具体的なリダンダンシ情報の書き込み/消去、すなわち電子の注入/引き抜きは、以下のような電位設定のうち、いずれかにおいて、例えば行なわれる。

〔電子の注入により行なう場合〕

(その1)

ゲート108	:	正電圧
ソース110	:	接 地
ドレイン112	:	接 地

(その2)

ゲート108	:	正電圧
ソース110	:	接 地
ドレイン112	:	浮 遊

- 13 -

リダンダンシ情報の書き込みは、例えばMIS型トランジスタの3層構造のゲート絶縁膜107のうち、中間に存在するシリコン空化膜106中に電子eを注入して、特にシリコン酸化膜102との界面付近のトラップに捕獲させ、しきい値を正方向にシフトし、非導通化させて記憶する。

これは、フューズで構成するプログラム素子での“切断”に対応する。

あるいは、全てのトランジスタのゲート絶縁膜107に電子eを注入しておき、このゲート絶縁膜107から電子eを引き抜く（若しくは図示せぬ正孔を注入する）ことでしきい値を負方向にシフトさせ導通化させて記憶する。

この場合、フューズで構成するプログラム素子ではありえない“接続”に対応する。

すなわち、リダンダンシ情報は、MIS型トランジスタのしきい値（電子eがない場合）より高い電圧をゲート108に印加し、このときの該トランジスタの“オン”、“オフ”的状態で判断

- 12 -

(その3)

ゲート108	:	正電圧
ソース110	:	浮 遊
ドレイン112	:	接 地

(その4)

ゲート108	:	正電圧
ソース110	:	接 地
ドレイン112	:	正電圧

〔電子の引き抜きにより行なう場合〕

(その1)

ゲート108	:	接 地
ソース110	:	正電圧
ドレイン112	:	接 地

(その2)

ゲート108	:	接 地
ソース110	:	接 地
ドレイン112	:	正電圧

- 14 -

(その3)

ゲート108 : 接地
 ソース110 : 正電圧
 ドレイン112 : 正電圧

尚、MIS型トランジスタのゲート絶縁膜107中に電子を注入し、しきい値を正方向にシフトさせるためには、基板から順に酸化膜／窒化膜／酸化膜と積層された3層構造膜を用いなくても、酸化膜／窒化膜、あるいは窒化膜／酸化膜の2層構造膜でも可能である。この場合にも電子をトラップする箇所は、例えば窒化膜中である。窒化膜は周知のごとくそれが持つトラップ（特に酸化膜との界面付近に多量に発生）に電子を捕獲することができ、しかも捕獲された電子を引き抜く（若しくは正孔を注入）ことができる。

又、キャリア捕獲を担う窒化膜は、これと同様なキャリア捕獲の性質を持つその他の絶縁膜で代替することも可能である。例えばTa₂O₅膜、Al₂O₃膜等でもよい。

又、この発明ではMIS型トランジスタの電

- 15 -

荷保持特性（リグダンシ情報の記憶）に関する信頼性を高めることが大切である。

このためには、ゲート絶縁膜を、上述した3層構造膜のようにキャリア捕獲に貢献する絶縁膜の表面が被覆されるような構造を持たせることが望ましい。このような構造には、例えば上記したような3層構造膜が該当する。そして、さらに、キャリア捕獲に貢献する絶縁膜の表面を被覆する絶縁膜にあっては、基板への捕獲キャリアの逸出、及びゲート電極からの反対導電型キャリアの注入を阻止すべき構造を持たせることが望ましい。例えば上記した3層構造膜では、シリコン酸化膜102および106の膜厚を以下のように設定することが好ましい。

シリコン酸化膜102を50Å以上

シリコン酸化膜106を25Å以上

すなわち、酸化膜102の膜厚が50Å以上であることにより、電子との基板100に対するトンネリングによる消失を防止でき、又、酸化膜106の膜厚が25Å以上であることにより、ゲ

- 16 -

回路を構成する領域である。

次に、第3図を参照し、この発明に係わるプログラム素子を具備する半導体記憶装置の一製造方法について説明する。

第3図(a)乃至(i)は、この発明に係わるプログラム素子を具備するE PROMを製造工程順に示した断面図である。

同図(a)に示すように、例えばp型シリコン基板100の主表面に、選択酸化法を用いてフィールド絶縁膜200を、例えば5000Åの厚みに形成し、次いで、分離された素子領域表面において、例えば200Åの厚みになるようにE PROMセルの第1ゲート絶縁膜（シリコン酸化膜）202を形成する。

次いで、同図(b)に示すように、例えばCVD法を用いてE PROMセルの浮遊ゲートとなる第1のポリシリコン層204を全面に形成する。次いで、第1のポリシリコン層204に、例えばリンを導入し導体化（n型化）する。

次いで、同図(c)に示すように、ホトレジ

ート108からの正孔の注入を抑止できる。

上述した構成のプログラム素子150は、例えば第2図のブロック図に示すようなリダッシュ回路を内蔵する半導体記憶装置に組み込まれる。

同図に示すようにロウ・デコーダ152の一端はロウ・アドレス入力に接続され、複数の他端は上述したプログラム素子150を介して本体メモリ・セル・アレイ154の図示せぬワード線にそれぞれ接続されている。カラム・デコーダ156の一端はカラム・アドレス入力に接続され、複数の他端は本体メモリ・セル・アレイ154の図示せぬビット線にそれぞれ接続されている。さらに、ロウ・アドレス入力に一端を接続する予偏ロウ・デコーダ158が設けられており、その複数の他端は予偏メモリ・セル・アレイ160の図示せぬワード線に接続されている。又、予偏ロウ・デコーダ158には、上述したプログラム素子150が内蔵されている。図中、予偏ロウ・デコーダ158および予偏メモリ・セル・アレイ160を含む領域162がいわゆるリダッシュシ

- 17 -

- 18 -

スト 206 を塗布し、写真蝕刻法を用いてホトレジスト 206 を選択的に除去することによってプログラム素子部を選択的に露出させる。次いで、ホトレジスト 206 をマスクにして第 1 のポリシリコン層 204 および第 1 ゲート絶縁膜 202 をエッティングし、プログラム素子部において基板 100 表面を露出させる。

次いで、同図 (d) に示すように、ホトレジスト 206 を除去し、次いで、熱酸化法を用いて、シリコン酸化膜 102 を全面に形成する。このとき、プログラム素子部の基板 100 表面上に厚み約 50 Å のシリコン酸化膜が成長する条件で酸化すると、第 1 のポリシリコン層 204 上にはリンが多量に含まれているので、増速酸化効果により、厚み約 100 Å 程度の酸化膜が形成される。

次いで、同図 (e) に示すように、例えば LPCVD 法を用いて厚み約 100 Å のシリコン空化膜 104 を全面に形成する。

次いで、同図 (f) に示すように、例えば熱酸化法を用いてシリコン空化膜 104 の表面上に

- 19 -

100 に対して、例えばヒ素をイオン注入する。次いで、熱処理を行ない、注入されたヒ素を活性化し、ソース領域 110 およびドレイン領域 112 をそれぞれ形成する。

以上のような工程を経ることによりこの発明に係わるプログラム素子を具備する EEPROM が製造される。

上述のような構成の EEPROM では、プログラム素子部に第 1 図に示したような MIS 型トランジスタによるプログラム素子 150 が形成され、メモリセル部に第 2 ゲート絶縁膜に酸化膜／空化膜／酸化膜を用い、制御ゲート～浮遊ゲート間での容量増大を図った EEPROM セル 250 が形成されている。

又、上述した製造方法では、これら素子 150 およびセル 250 を、工程の増加をほとんど招くことなく同時に製造することができる。

プログラム素子 150 を構成する MIS 型トランジスタは、通常の状態（電子がない場合）で約 1 V 程度のしきい値電圧 V_{th} を持つおり、通

厚み約 30 Å のシリコン酸化膜 106 を形成する。これにより、プログラム素子部上には、基板 100 表面から順に酸化膜 (50 Å) / 空化膜 (80 Å) / 酸化膜 (30 Å) の 3 層構造膜で形成されたゲート絶縁膜 107 が形成され、同時に、第 1 ポリシリコン層表面から順に酸化膜 (100 Å) / 空化膜 (80 Å) / 酸化膜 (30 Å) の 3 層構造膜で形成された第 2 ゲート絶縁膜 207 が形成される。

次いで、同図 (g) に示すように、例えば CVD 法を用いて第 2 のポリシリコン層 108 を全面に形成し、次いで、この第 2 のポリシリコン層に、例えばリンを導入し導体化 (n 型化) する。

次いで、同図 (h) に示すように、例えば写真蝕刻法を用いバーニングを行ない、メモリセル部およびプログラム素子部に、それぞれ EEPROM セル 250 およびプログラム素子 150 のゲート部を形成する。

次いで、同図 (i) に示すように、ゲート部およびフィールド絶縁膜 200 をマスクに基板

- 20 -

常の電源電圧約 3~5 V の範囲で導通する。

しかし、ゲート 108 に、例えば 14 V の電圧を印加（ソースおよびドレインは接地）すると、ゲート絶縁膜 107 に約 11.6 MV / cm の電界 E がかかる。この位の E がゲート絶縁膜 107 にかかると、該ゲート絶縁膜 107 のフラットバンド電圧 V_{FB} が 5 V 以上正方向にシフトする。

（参考文献： 28rd annual proceedings of IEEE IRPS, pp22, Fig.5）

従って、しきい値電圧 V_{th} が約 6 V となり、通常の電源電圧約 3~5 V の範囲では非導通となる。

次に、上述した MIS 型トランジスタでプログラム素子を構成した EEPROM (以下、EEPROM-MIS と略す) と、EEPROM セルでプログラム素子を構成した EEPROM (以下、EEPROM-EP と略す) とを用いて行なった各種試験結果について説明する。

第 4 図は、EEPROM-MIS と、EEPROM-EP とに紫外線を照射してプログラム素子のし

- 22 -

- 21 -

きい値電圧の変化率を測定した結果を示す図である。

同図に示すように、EPROM-EPではⅠ線のごとく1000時間の照射で、約30%のしきい値電圧の変化が生じた。しかし、EPROM-MISではⅡ線のごとく1000時間の照射を行なってもほとんどしきい値電圧の変化が生じなかつた。

尚、EPROM-EPはそのプログラム素子上方がアルミニウム膜で覆われたもので、EPROM-MISはそのプログラム素子上方がアルミニウム等で覆われていないものである。

第4図は、EPROM-MISと、EPROM-EPとに温度300℃の炉内に放置する加速試験を行ない、その後のプログラム素子のしきい値電圧を測定した結果を示す図である。

同図に示すように、EPROM-EPではⅠ線のごとく20時間の放置で、しきい値電圧が約6Vから約5Vへ約1Vの減少した。しかし、EPROM-MISではⅡ線のごとく20時間の

- 23 -

EEPROMにあっては、上述したようなMIS型トランジスタのゲート絶縁膜と、EEPROMセルの第2ゲート絶縁膜との兼用利用が可能等の利点がある。

又、制御ゲート／浮遊ゲート積層型の一括消去型EEPROMでも同様な利点があることは勿論である。

又、様々な型の揮発性半導体記憶装置に内蔵することもできる。なかでも、ダイナミック型RAMの場合には、上述のゲート絶縁膜を、ダイナミック型RAMセルのキャパシタ膜に利用できる等の利点がある。例えば酸化膜／窒化膜／酸化膜を上述のキャパシタ膜に用いれば、該キャパシタ膜の容量が大きいダイナミック型RAMセルを同時に得ることができる。

尚、この発明は上記実施例に限定されるものではなく、この発明の要旨を変えない範囲において、種々変形実施可能であることは勿論である。

【発明の効果】

以上説明したようにこの発明によれば、バッ

放置を行なってもしきい値電圧が約6Vからほとんど減少しなかつた。

上述のように、この発明に係わるMIS型トランジスタで構成したプログラム素子は電荷保持特性に優れており、長期間にわたりリダンダンシ情報を記憶できることが理解できる。しかも、プログラム素子がMIS型トランジスタで構成されているので、リダンダンシ情報を書き込み／記憶を電気的に行なうことができる。これにより、パッケージ封入後においても不良メモリ・セルの救済が可能になる。しかも、記憶した情報を消去することもできる。

さらに、このプログラム素子の上方はアルミニウム膜等で覆う必要はなく、従って、チップ面積中小さい面積しか要しないものである。

尚、この発明に係わるプログラム素子は、制御ゲート／浮遊ゲート積層型のEPROMばかりに内蔵されるものではなく、様々な型の不揮発性半導体記憶装置に内蔵できることは言うまでもない。なかでも、制御ゲート／浮遊ゲート積層型の

- 24 -

ケージ封入後でも不良メモリ・セルの救済ができる、しかも小面積、かつ情報記憶に関する信頼性が高いプログラム素子を具備する半導体記憶装置を提供できる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係わる半導体記憶装置が具備するプログラム素子の断面図、第2図はリダンダンシ回路を内蔵する半導体記憶装置のブロック図、第3図(a)乃至(i)はそれぞれこの発明に係わるプログラム素子を具備するEPROMを製造工程順に示した断面図、第4図は紫外線照射時間としきい値電圧の変化率との関係を示す図、第5図は温度300℃の環境中に放置した時間としきい値電圧との関係を示す図である。

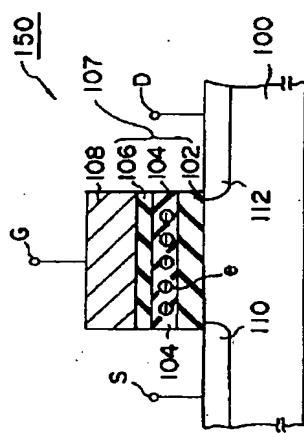
100…p型シリコン基板、102…第1のシリコン酸化膜、104…シリコン窒化膜、106…第2の酸化膜、107…ゲート絶縁膜、108…ゲート、110…ソース、112…ドレイン、200…フィールド絶縁膜、202…

- 26 -

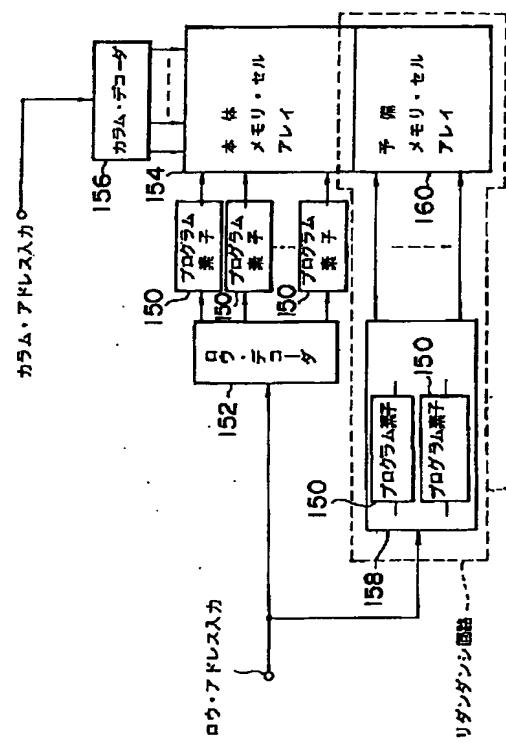
第1ゲート絶縁膜、204浮遊ゲート、207…
第2ゲート絶縁膜。

出願人代理人 弁理士 鈴江・武彦

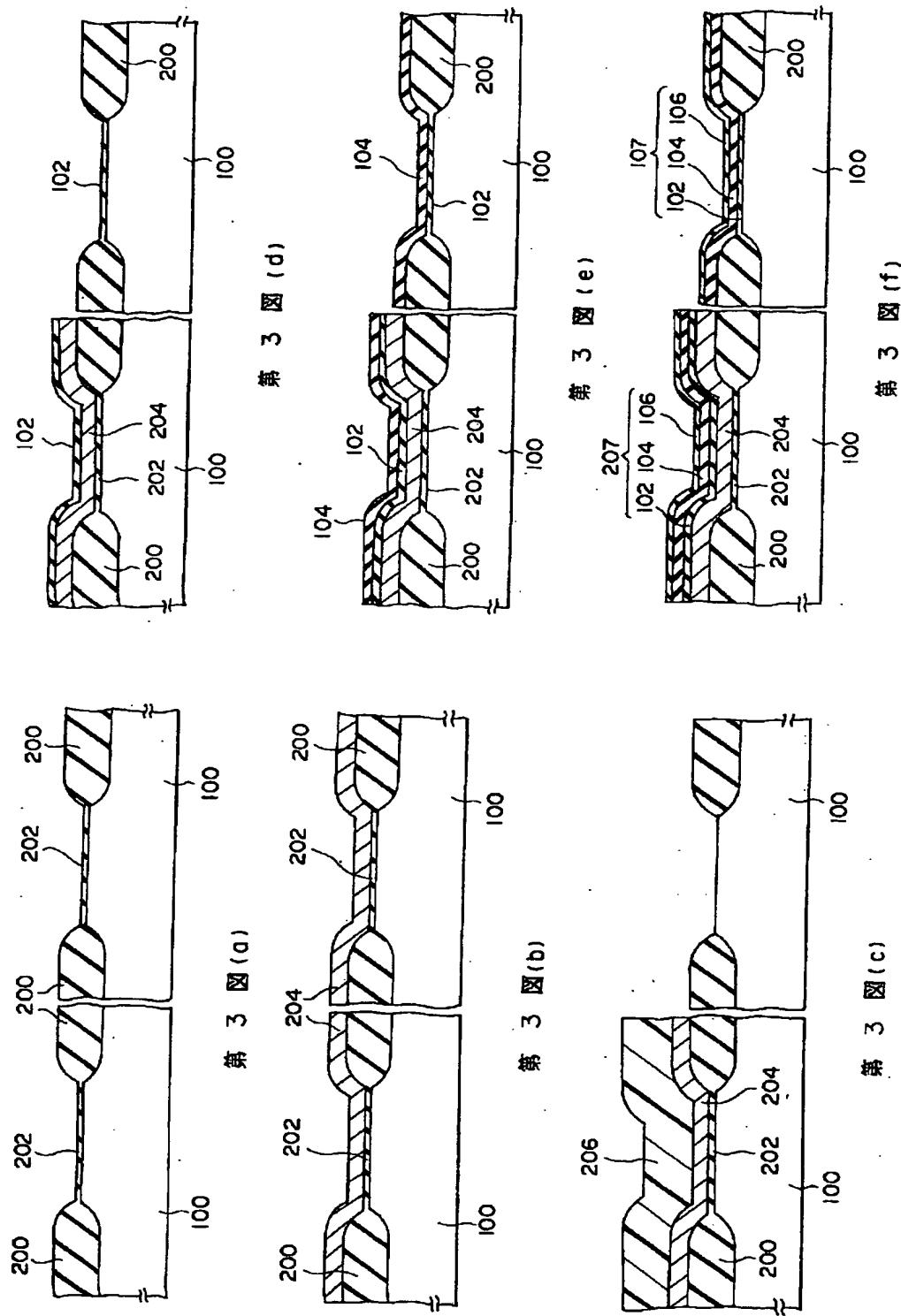
— 27 —

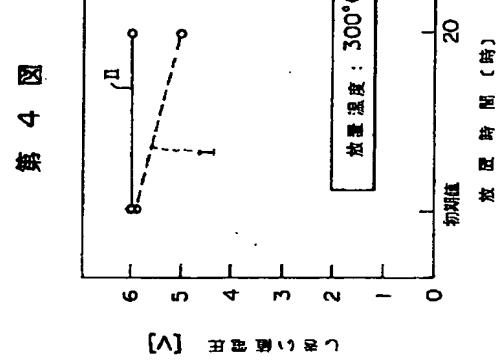
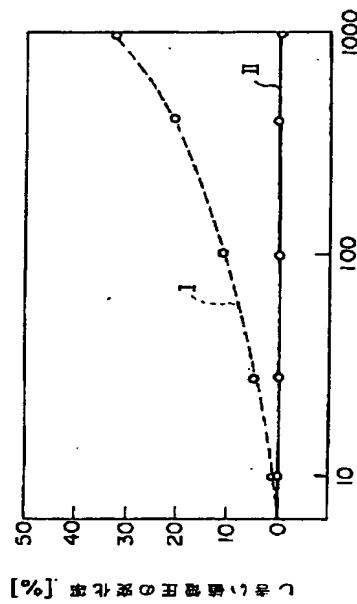
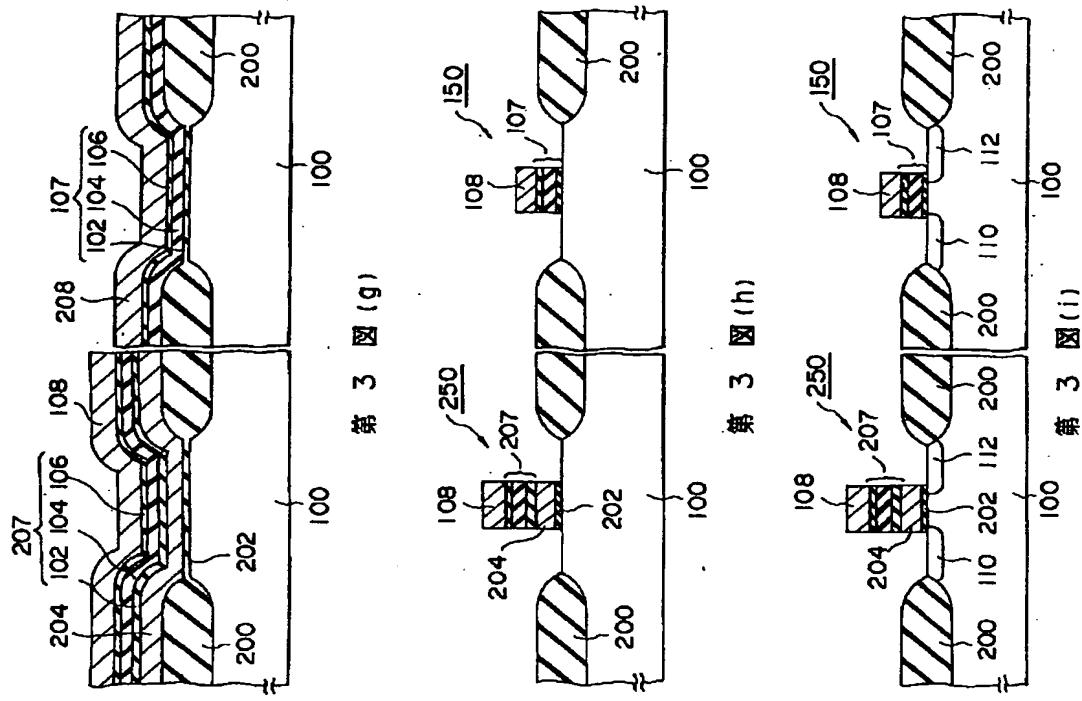


第1図

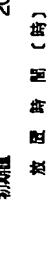


第2図





第5図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.